

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 2月 25日

出願番号
Application Number: 特願 2003-046755

[ST. 10/C]: [JP 2003-046755].

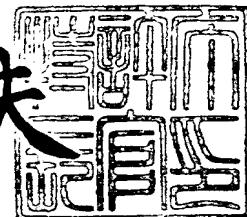
出願人
Applicant(s): 三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 1月 21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 KAA1030007
【提出日】 平成15年 2月25日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 23/12
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 鈴木 彰
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 野間 崇
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 篠木 裕之
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 高尾 幸弘
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 石部 真三
【特許出願人】
【識別番号】 000001889
【氏名又は名称】 三洋電機株式会社
【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 03-3837-7751 知的財産センター東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体素子が形成されている半導体ウエハ上面に接着剤を介して支持板を接着し、

前記半導体ウエハにおいて、支持板が接着されている面の反対側の面をバックグラインド装置で研削し、

バックグラインド処理後の面にウェットエッチング処理を行うことによって、表面粗さを減らし平滑な面に加工することを特徴とした半導体装置の製造方法。

【請求項 2】 半導体素子が形成されている半導体ウエハ上面に接着剤を介して支持板を接着し、

前記半導体ウエハにおいて、支持板が接着されている面の反対側の面をエッチングすることにより、溝を形成し、

エッチング後の面にウェットエッチングを行うことにより、前記溝の尖っている部分の先端を丸くするように加工することを特徴とした半導体装置の製造方法。

【請求項 3】 前記ウェットエッチングは、バックグラインド後の面、及びエッチング後の面を上に向けて、上方から半導体ウエハに薬液を滴下し、当該半導体ウエハを回転させ、薬液を当該半導体ウエハ全体に広げることにより、ウェットエッチング加工を行うことを特徴とする請求項 1 乃至請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記ウェットエッチングは、バックグラインド後の面、及びエッチング後の面を上に向けて、上方から半導体ウエハに薬液を滴下し、当該半導体ウエハを回転させ、薬液を当該半導体ウエハ全体に広げた後に、当該ウエハの回転方向を切り換えることにより、ウェットエッチング加工を行うことを特徴とする請求項 1 乃至請求項 2 乃至請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記ウェットエッチングは、バックグラインド後の面を CMP 装置で研磨することで表面粗さを減らし、平滑な面にすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記ウェットエッティングまたはCMP装置による研磨処理により、バックグラインド後の面及びエッティング後の面に付着している異物を除去することを特徴とする請求項1乃至請求項2乃至請求項3乃至請求項4乃至請求項5に記載の半導体装置の製造方法。

【請求項 7】 複数の半導体素子が形成されている半導体ウエハ上に、絶縁膜を介して、隣接する半導体素子の境界を中心として一対となる第1の配線を形成する工程と、

前記第1の配線を覆うように、接着剤を介して支持板を接着する工程と、
支持板を接着している面の反対側の面をバックグラインドで研削する工程と、
バックグラインド後の面にウェットエッティングを行うことで面内粗さを減らす工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項 8】 複数の半導体素子が形成されている半導体ウエハ上に、絶縁膜を介して隣接する半導体素子の境界を中心として一対となる第1の配線を形成する工程と、

前記第1の配線を覆うように、接着剤を介して支持板を接着する工程と、
支持板を接着している面の反対側の面をバックグラインドで研削する工程と、
バックグラインド後の面にウェットエッティングを行うことで表面粗さを減らす工程と、

バックグラインド後の面に対して、レジストによるパターニングを行い、当該レジストをマスクとしたエッティングを行い、半導体素子の境界線に沿うように溝を形成する工程と、

前記溝を含めたエッティング後の面に対して、ウェットエッティングを行うことにより、当該溝において尖っている部分の先端を丸める工程と、
を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はボール状の導電端子を有するBGA (Ball Grid Array) 型の半導体

装置に関するものである。

【0002】

【従来の技術】

近年、三次元実装技術として、また新たなパッケージ技術として、CSP (Chip Size Package) が注目されている。CSPとは、半導体チップの外形寸法とほぼ同サイズの外形寸法を有する小型パッケージをいう。

【0003】

従来より、CSPの一種として、BGA型の半導体装置が知られている。このBGA型の半導体装置は、半田等の金属部材からなるボール状の導電端子をパッケージの一主面上に格子状に複数配列し、パッケージの他の面上に搭載される半導体チップと電気的に接続したものである。

【0004】

そして、BGA型半導体装置を電子機器に組み込む際には、各導電端子をプリント基板上の配線パターンに圧着することで、半導体チップとプリント基板上に搭載される外部回路とを電気的に接続する。

【0005】

このようなBGA型半導体装置は、側部に突出したリードピンを有するSOP (Small Outline Package) やQFP (Quad Flat Package) 等の他のCSP型半導体装置に比べて、多数の導電端子を設けることが出来、しかも小型化できるという長所を有する。このようなBGA型の半導体装置は、例えば携帯電話機に搭載されるデジタルカメラのイメージセンサチップとしての用途がある。

【0006】

図9は従来のBGA型の半導体装置の概略構成を示すものであり、図9 (A) は、このBGA型半導体装置の表面側の斜視図である。また、図9 (B) はこのBGA型半導体装置の裏面側の斜視図である。

【0007】

このBGA型の半導体装置100は、第1及び第2のガラス基板104a、104bの間に半導体チップ101がエポキシ樹脂105a、105bを介して封止されている。第2のガラス基板104bの一主面上、即ちBGA型の半導体裝

置100の裏面上には、ボール状の端子（以下、導電端子111と称す）が格子状に複数配置されている。この導電端子111は、第2の配線109を介して半導体チップ101へと接続される。複数の第2の配線109には、それぞれ半導体チップ101の内部から引き出された金属配線が接続されており、各導電端子111と半導体チップ101との電気的接続がなされている。

【0008】

このBGA型の半導体装置100の断面構造について図10を参照して更に詳しく説明する。図10はダイシングラインに沿って、個々のチップに分割されたBGA型の半導体装置100の断面図を示している。

【0009】

半導体チップ101の表面に形成された絶縁膜102の上に第1の配線103が設けられている。この半導体チップ101は樹脂105aによって第1のガラス基板104aと接着されている。また、この半導体チップ101の裏面は、樹脂105bによって第2のガラス基板104bと接着されている。そして、第1の配線103の一端は第2の配線109と接続されている。この第2の配線109は、第1の配線103の一端から第2のガラス基板104bの表面に延在している。そして、第2のガラス基板104b上に延在した第2の配線109上には、ボール状の導電端子111が形成されている。

【0010】

上述した技術は、例えば以下の特許文献1に記載されている。

【0011】

【特許文献1】

特許公表2002-512436号公報

【0012】

【発明が解決しようとする課題】

前記BGA型の半導体装置100では、ガラス基板を半導体チップ101の両面に接着している。しかし、半導体素子が形成されていない面、すなわち導電端子が配置される面については、必ずしも第2のガラス基板104bを接着させる必要はない。つまり、半導体チップ101と第2の配線109が絶縁されていれ

ば、第2のガラス基板を接着する必要がなくなるということである。また、2枚のガラスの厚さが半導体装置100全体の厚さの多くを占めるようになっている。そこで、半導体チップ101の回路が形成されている面にのみガラス基板を接着することによって、コスト削減、半導体装置100の小型化を図ることが考えられている。その例として、本発明による半導体装置の断面図である図8を用いて説明する。第2のガラス基板を接着する代わりに半導体チップ1に絶縁膜7を形成し、この上に緩衝部材8、第2の配線9、保護膜10、導電端子11を形成することによって、半導体装置100と同等な半導体装置ができる。しかし、このような半導体装置を作るには、以下のような問題点がある。

【0013】

(1) このようなBGA型の半導体装置の製造では、絶縁膜7を成膜する前に、ガラス基板4を接着した面の反対側の面、即ち半導体装置の裏面をバックグラインドで研削する工程がある。バックグラインドでは、砥石でウエハを研削することによってウエハを薄くする。そのため、砥石の凹凸が転写され、研削後の面には深さや幅が数 μ mになるスクラッチが発生する。なお、図10に示した前記半導体装置100の場合には、両面にガラスを接着するため、スクラッチによる凹凸は、樹脂105bによって覆われるため、問題となりにくい。

【0014】

しかし、本発明のように半導体素子を形成した面にのみガラスを接着するBGA型の半導体装置では、チップと第2の配線の絶縁性を保つ為に、バックグラインド後の面に絶縁膜7を形成する必要がある。絶縁膜7は、プラズマCVD装置によって形成する為、面内の凹凸が転写されてしまい、CVD成膜後の面は平坦にならない。その結果、絶縁膜7、第2の配線9、パターニングに用いるレジスト膜の被覆性が悪化する原因となっていた。また、絶縁膜7の被覆性が悪い場合、ピンホールやクラックが発生することがあり、半導体装置の歩留まりや信頼性が低下する要因となっていた。

【0015】

(2) バックグラインド後、半導体素子を個々に分割するため、半導体素子の境界線に沿ってエッティングを行い、逆V字型の溝を形成する。エッティング後の面

には、残渣や異物が付着することにより、面に凹凸ができる。また、エッチング後、角になる部分は先端が尖った形状になってしまふ。これらにより、溝形成以降に成膜するパターニング用のレジスト膜、第2の配線9、保護膜10の被覆性が悪化し、半導体装置の信頼性、歩留まりが低下する要因となっていた。

【0016】

【課題を解決するための手段】

本発明は、以上の問題点に鑑み成されたものであり、BGA型の半導体装置の製造工程で発生するバックグラインド後の面の凹凸、エッチング後の面の凹凸、エッチングによる溝形成後に、角となり尖った部分が発生するといった問題を解決する。

【0017】

バックグラインド後、エッチング後にウェットエッチングを行うことにより、面内の凹凸の平滑化や尖った部分の先端を丸めることができる。この結果、その後の工程で、バックグラインド後、エッチング後の面上に形成するレジスト膜、第2の配線、絶縁膜、保護膜の被覆性の向上を図ることができ、半導体装置の歩留まり、信頼性を向上させる。

【0018】

【発明の実施の形態】

次に、本発明を利用した半導体装置の製造過程を、図1乃至図8を参照しながら順次説明する。

【0019】

図1参照：後に半導体チップ1となる半導体ウェハ1aを用意する。当該半導体チップ1は、例えばCCDのイメージセンサ用のチップであり、半導体のウェハプロセスにより形成される。その表面上に絶縁膜2を介して、半導体チップ1毎に分断するための境界S（ダイシングラインまたはスクライブラインと呼ばれる。）付近で、所定の間隙を有するように、一対の第1の配線3を形成する。ここで、第1の配線3は、半導体チップ1のボンディングパッドから、境界S付近まで拡張されたパッドである。すなわち、第1の配線3は外部接続パッドであつて、半導体チップ1の図示しない回路と電気的に接続されている。

【0020】

続いて、第1の配線3が形成された半導体ウエハ1aの表面上に接着剤を介して支持板を接着する。ここでは、接着剤として透明のエポキシ樹脂5を、支持板として透明なガラス基板4を用いる。なお、例えば、CCDではない、メモリやマイコン等のLSIで、本発明のBGA型半導体装置を作る場合には、不透明なプラスチック製の支持板を各種適切な接着剤を用いて貼り合わせてもよい。

【0021】

図2参照：前記半導体ウエハ1aについて、ガラス基板4を接着した面と反対側の面をバックグラウンドして、チップ厚を薄くする。このときのチップの厚さは230μm程度である。

【0022】

バックグラウンド後の面では、図2中に円で囲んだ部分「a：エッチング前の面」に示すように、スクラッチが発生し、幅、深さが数μm程度になる凹凸ができる。これを小さくするために、半導体ウエハ1aの材料であるシリコン（以下Si）と絶縁膜2及びガラス基板4の材料であるシリコン酸化膜（以下SiO₂）について、高い選択比を持つ薬液を用いてウェットエッチングを行う。当該エッチングにより、半導体ウエハ1aを5～30μm削り、図2中に円で囲んだ部分「b：エッチング後の面」に示したような凹凸の少ない面が得られる。

【0023】

なお、当該ウェットエッチングで用いる薬液としては、前記したようにSiとSiO₂で高い選択比をもっていれば特別な限定をするものではない。例えば、本発明では、シリコンエッチング溶液として、フッ化水素酸2.5%、硝酸5.0%、酢酸10%及び水37.5%の溶液を使用している。

【0024】

また、ウェットエッチングの方法としては、以下に示すいずれの方法を用いてもよい。

【0025】

(1) レジスト塗布の様に、バックグラウンド後の面を上側にして、半導体ウエハ上に薬液を滴下し、当該半導体ウエハを回転させることで薬液を当該半導体

ウエハ全体に行き渡らせることで、ウェットエッチングを行い、面内粗さを減らす方法。

【0026】

この時、当該半導体ウエハの回転方向を切り換えることにより、ウエハ面内全体に、薬液がより均一に行き渡るようになり、表面粗さが低減する。

【0027】

(2) 半導体ウエハを薬液に浸すディップ処理で、ウェットエッチングを行うことで、表面粗さを減らす方法。

【0028】

(3) バックグラインド後の面をCMP (Chemical Mechanical Polishing) で研磨することによって、表面粗さを減らす方法。

【0029】

図3参照：前記半導体チップ1において、ガラス基板4と反対の面に対して、境界Sに沿って開口部を設けた不図示のレジストパターンを形成する。当該レジストパターンをマスクとして、等方性エッチングを行うことにより、境界Sの部分で逆V字型にウエハがエッチングされ、絶縁膜2が露出した状態となる。

【0030】

なお、このエッチングは、ドライエッチング、ウェットエッチングのどちらで行ってもよい。

【0031】

溝形成後の面では、面内の凹凸やエッチングによる残渣、異物がある。さらに、図3中に丸く囲んでa、bとして示したように、逆V字型の溝で角になる部分が尖った形状になっている。

【0032】

図4参照：前記した残渣や異物の除去、尖った部分の先端部を丸めるためにウェットエッチングを行う。当該ウェットエッチングにより、図3で丸く囲んだa、bの部分は、図4で丸く囲んだa、bの部分に示すように、尖った部分を丸くすることができる。

【0033】

前記ウェットエッティングに使用する薬液は、バックグラウンド後のウェットエッティングと同様の薬液を用いればよい。ウェットエッティングの方法としては、以下のような方法が挙げられる。

【0034】

(1) レジスト塗布の様に、溝形成後の面を上側にして、半導体ウエハ1a上に薬液を滴下し、当該半導体ウエハを回転させることにより薬液を当該半導体ウエハ全体に行き渡らせ、溝形成後の面のウェットエッティングを行う方法。

【0035】

この時、ウエハの回転方向を切り換えることにより、薬液が半導体ウエハ1a全体に均等に行き渡るようになり、ウエハ面内でのエッティングの均一性が向上する。

【0036】

(2) 半導体ウエハ1aを薬液に浸すディップ処理を行うことで、溝形成後の面のウェットエッティングを行う方法。

【0037】

図5参照：前記半導体チップ1のガラス基板4と反対の面に対して、絶縁膜7の成膜を行う。本実施例では、シランベースの酸化膜を3μm成膜する。

【0038】

図6参照：前記半導体チップ1において、ガラス基板4の反対側の面に不図示のレジストを塗布し、前記第1の配線3の下面の一部が露出するようにパターニングする。前記レジストをマスクにして、絶縁膜7、絶縁膜2をエッティングし、第1の配線3の下面の一部を露出させる。次に、後に導電端子11を形成する位置と重なる位置に柔軟性を有する緩衝部材8を形成する。なお、緩衝部材8は導電端子11に加わる力を吸収し、導電端子11の接合時のストレスを緩和する機能を持つものであるが、本発明は緩衝部材8の不使用を制限するものではない。

【0039】

次に、前記ガラス基板4の反対側の面に、第2の配線9を形成する。これにより、第1の配線3と第2の配線9が電気的に接続される。

【0040】

図7参照：前記ガラス基板4の反対側の面に、不図示のレジストを塗布し、境界Sに沿う部分を開口させるようにパターン形成を行う。当該レジストをマスクとしてエッチングを行い、境界S付近の第2の配線9を除去する。なお、不図示であるが、第2の配線9の形成後、ガラス基板4の反対側の面に対して無電解メッキ処理を行い、第2の配線9に対して、Ni-Auをメッキする。

【0041】

次に、ガラス基板4の反対側の面に保護膜10を形成する。保護膜10を形成するためには、ガラス基板4の反対側の面を上に向けて、熱硬化性の有機系樹脂を上方から滴下して、半導体ウエハ自体を回転させることで、この回転により生じる遠心力を利用し、当該有機系樹脂をウエハ面上に広げる。これにより、第2の配線9の表面に保護膜10を形成することができる。

【0042】

図8参照：導電端子11を形成する部分と境界S付近の保護膜10を、レジストマスクを利用したエッチングにより除去し、この部分に導電端子11を形成する。これを境界Sで切断することによりBGA型の半導体装置が完成する。

【0043】

【発明の効果】

本発明の効果は、薄型のBGA型半導体装置の製造における問題点を解決することにより、BGA型半導体装置の信頼性と歩留まりを向上させることである。その内容は以下の通りである。

【0044】

(1) 複数の半導体素子が形成されている半導体ウエハ上面に接着剤を介して支持板を接着した後に、支持板の反対側の面に対して行うバックグラインド作業後の面に発生するスクラッチによる幅、深さが数μmに達する面内の凹凸に対して、ウェットエッチングを行うことで表面粗さを低減し、膜の被覆性を向上させる。

【0045】

(2) バックグラインド後に、チップ境界部分を逆V字型の溝に加工するために行うエッチング作業後の面に発生する、異物や残渣による面内の凹凸、先端が

尖っている部分に対して、ウェットエッチングを行い、面内の凹凸をなくし、角を丸めることで、膜の被覆性を向上させる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 2】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 3】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 4】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 5】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 6】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 7】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 8】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 9】

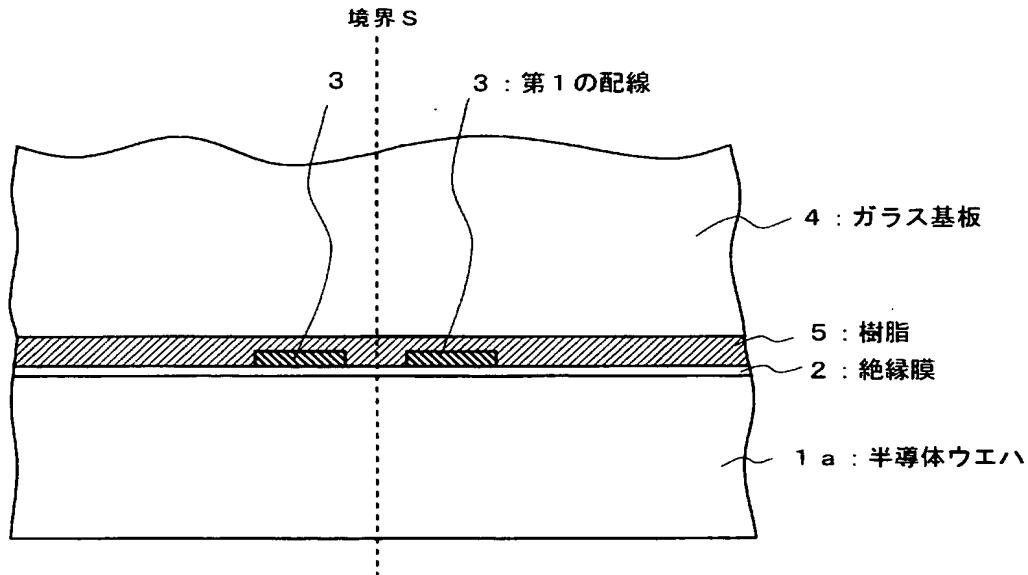
従来の半導体装置の製造方法による半導体装置の斜視図である。

【図 10】

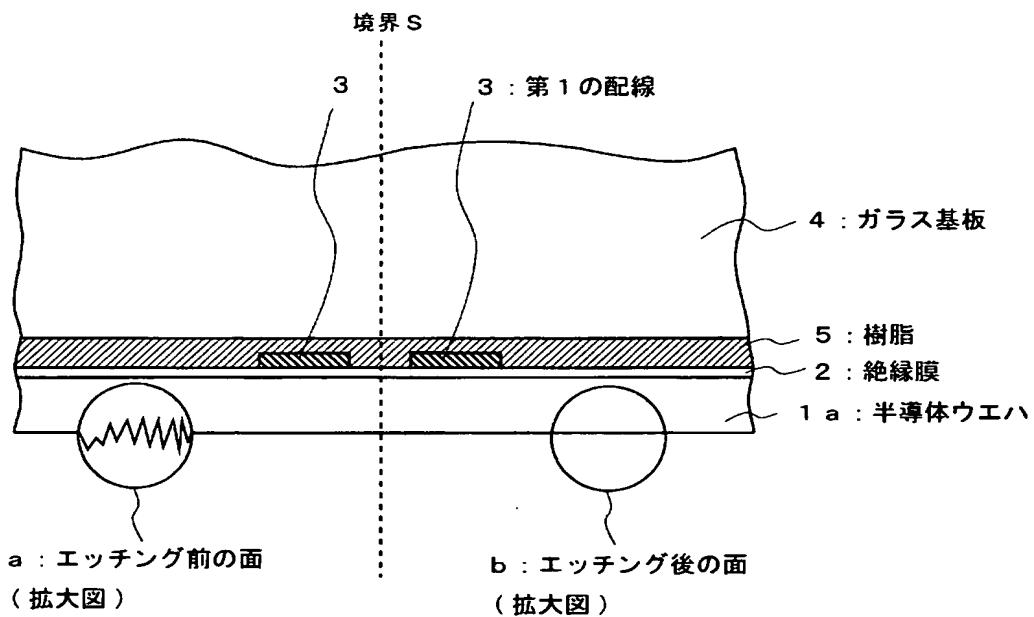
従来の半導体装置の製造方法による半導体装置の断面図である。

【書類名】 図面

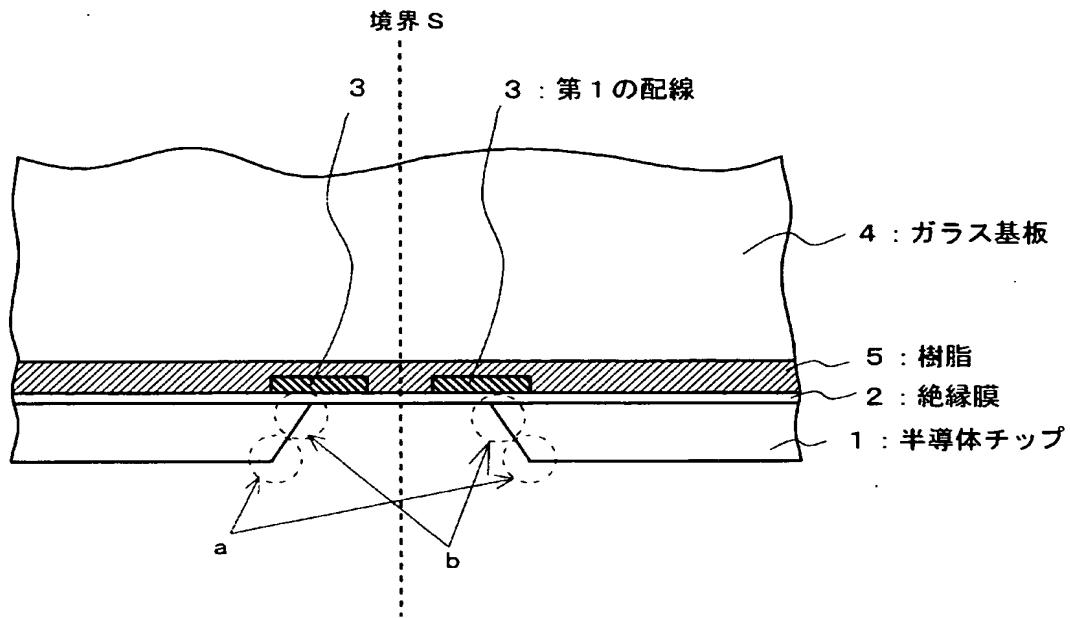
【図1】



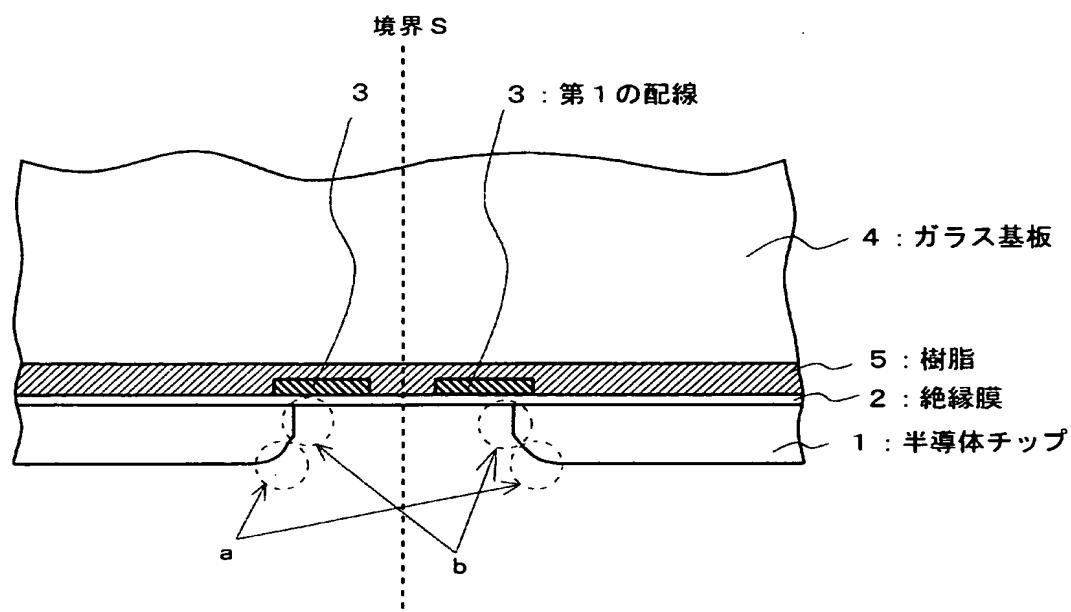
【図2】



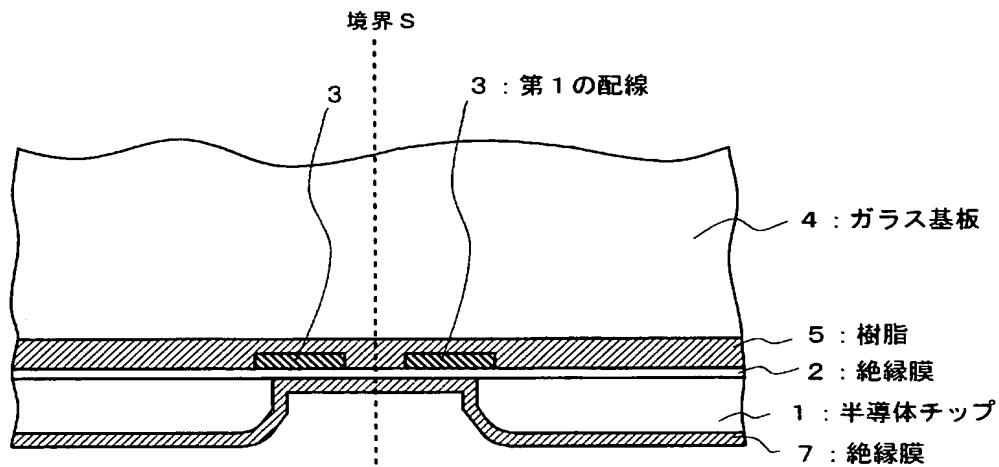
【図3】



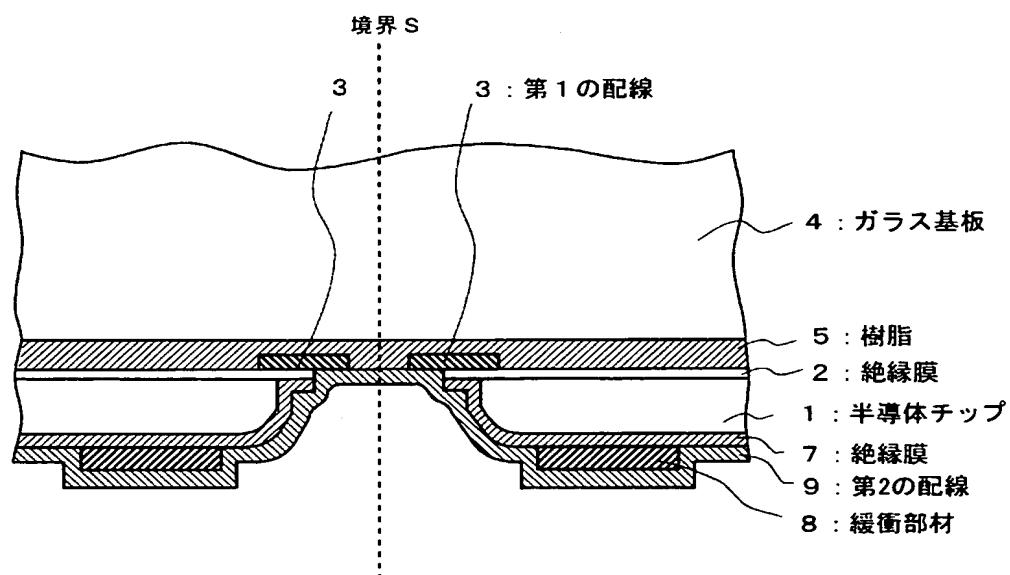
【図4】



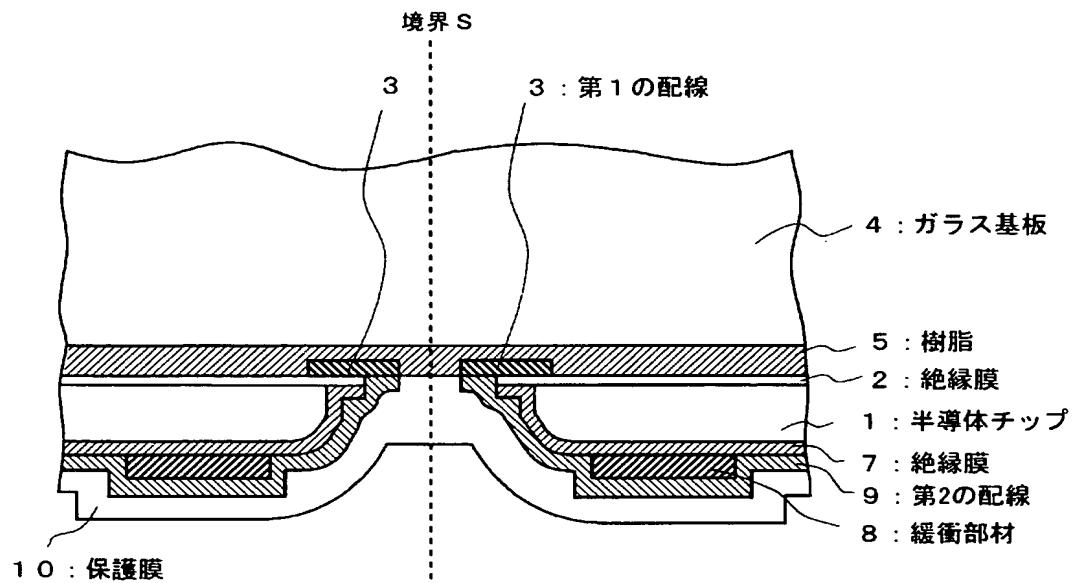
【図5】



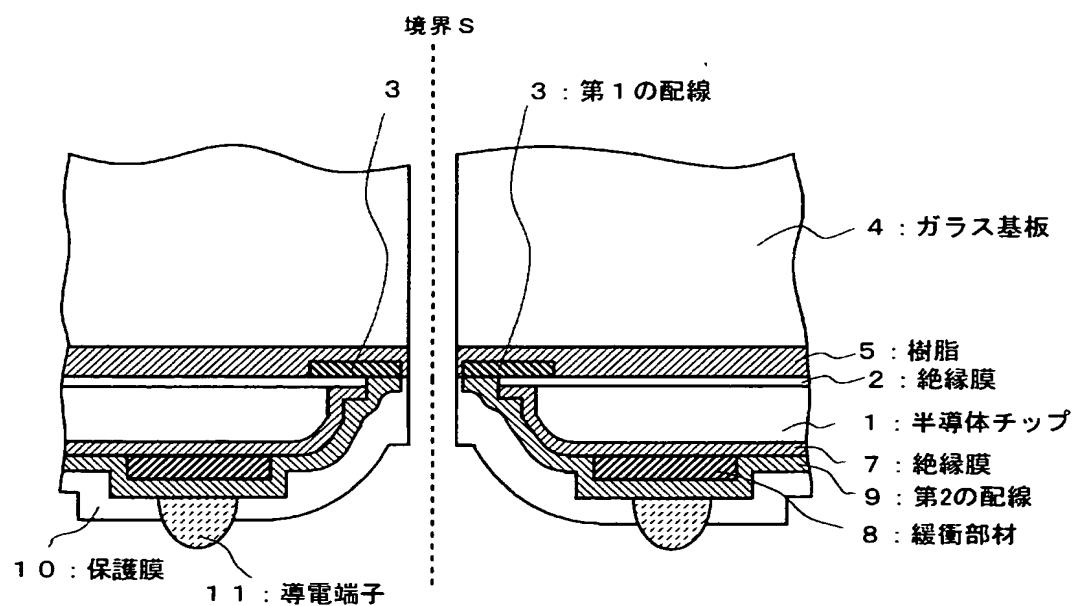
【図6】



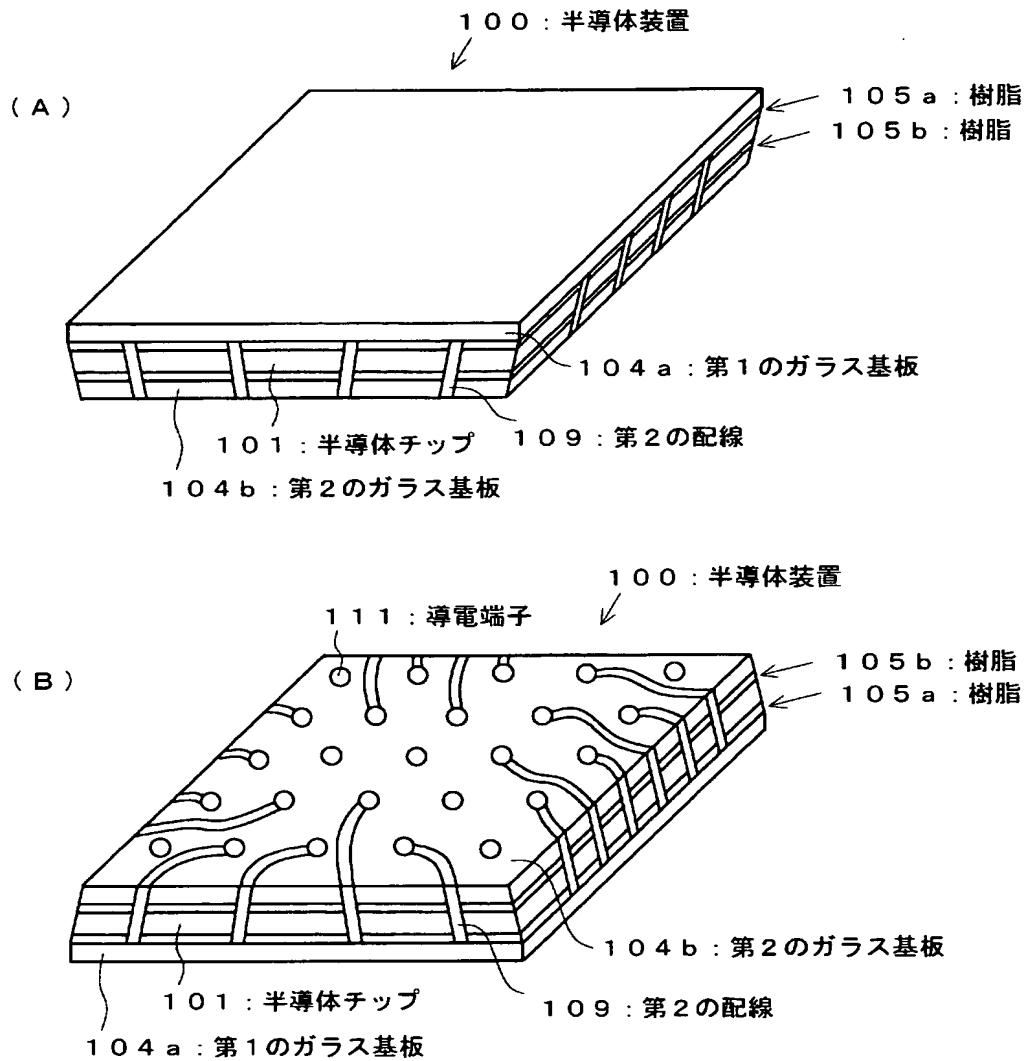
【図7】



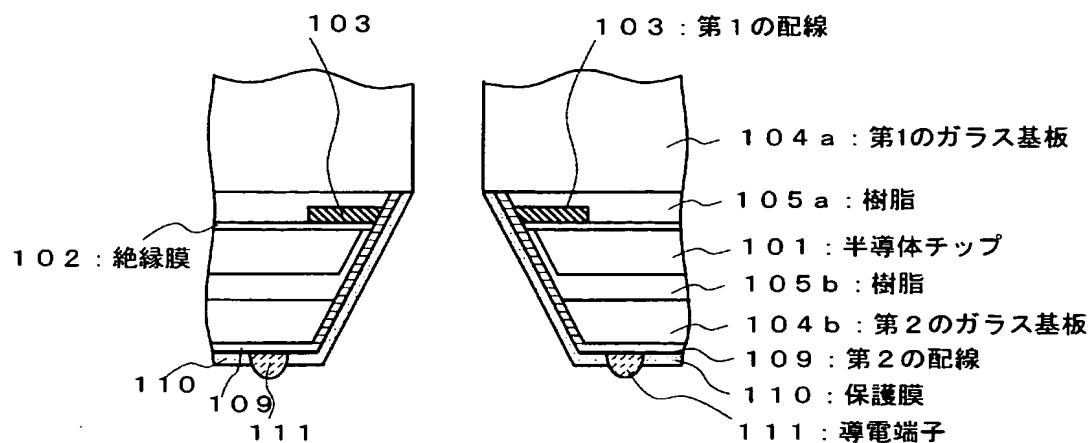
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 BGA型の半導体装置の歩留まり及び信頼性向上を図る。

【解決手段】 第1の配線3が形成された半導体ウエハ1aの表面に樹脂5を介して支持板となるガラス基板4を接着する。当該ガラス基板4の反対側の面をバックグラインドし、半導体ウエハ1aの厚さを薄くする。この時、バックグラインド処理で生じるスクラッチによる半導体ウエハ1a面内の凹凸を除去するためにウェットエッティング処理を行う。次に、ガラス基板4の反対側の面に対して、境界Sに沿った領域を逆V字型の溝になるようにエッティングを行う。ここで、当該エッティングで形成した溝の表面の凹凸や角になった部分の先端部を丸めるためにウェットエッティングを行う。前記のウェットエッティング処理を行うことによつて、バックグラインド後、エッティング後に形成される絶縁膜、配線、保護膜の被覆性が向上し半導体装置の歩留まり、信頼性の向上につながる。

【選択図】 図8

特願 2003-046755

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社